

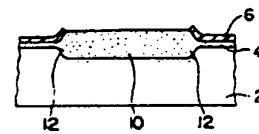
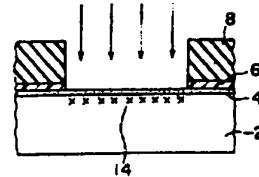
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 5-121401 (A) (43) 18.5.1993 (19) JP
(22) Appl. No. 3-306639 (22) 25.10.1991
(71) SONY CORP (72) MICHIO NEGISHI
(51) Int. Cl. H01L21/316, H01L21/31, H01L21/76

Impart enhanced oxidation

PURPOSE: To provide a method for manufacturing a semiconductor device by which an element separation area with less conversion difference, suitable for fine working, and with small bird's beak can be easily obtained while succeeding an element separation method using simple selective oxidation.

CONSTITUTION: A process in which an oxidized thin film layer 4 is formed on a semiconductor substrate 2, a process in which an oxidation preventing layer 6 is formed on the surface of the oxidized thin film layer 4 in a specified pattern, a process in which a damage layer 14 where oxidation is faster than in any other area is formed on the semiconductor substrate 2 that is not covered with the oxidation preventing layer 6 and a process in which an element separating area 10 consisting of thicker oxidized film layer than the oxidized thin film layer 4 is formed by thermal-oxidizing the surface of the semiconductor substrate not covered with the oxidation preventing layer 6 are provided.



【特許請求の範囲】

【請求項1】 半導体基板の表面に、酸化薄膜層を形成する工程と、この酸化薄膜層の表面に、酸化阻止層を所定のパターンで形成する工程と、この酸化阻止層で覆われていない半導体基板の表面に、他の部分よりも酸化速度が速くなるダメージ層を形成する工程と、上記酸化阻止層で覆われていない半導体基板の表面を熟酸化して上記酸化薄膜層より厚い酸化膜層からなる素子分離領域を形成する工程とを有する半導体装置の製造方法。

【請求項2】 上記ダメージ層は、イオン注入法により形成される請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に、バーズピークの少ない微細加工に適した素子分離領域を容易に得ることができる製造方法に関する。

【0002】

【従来の技術】 半導体装置では、シリコンなどで構成される半導体基板の表面に、多数の微細な半導体素子領域が形成される。各半導体素子領域の間には、素子分離領域を設け、各半導体素子領域を相互に素子分離する必要がある。素子分離が完全でないと、各半導体素子領域間でショートが生じ、半導体装置として良好に動作しないおそれがある。したがって、半導体装置を製造する過程には、素子分離領域を形成する過程が不可欠であり、半導体装置の微細化に伴い、素子分離領域の微細化が求められている。

【0003】 半導体装置に於ける製造過程において、半導体基板の表面に素子分離領域を設けるには、従来では次のようにして行っている。まず、シリコン製半導体基板の表面に、熟酸化などの手段で比較的薄いシリコン酸化薄膜層を形成し、その上にシリコン窒化膜層を形成する。次に、素子分離パターンに合わせたレジストマスクをシリコン窒化膜層の表面にレジストプロセスにより形成し、反応性イオンエッティング(RIE)などの手段でシリコン窒化膜層を選択除去する。そして、レジストマスクを除去した後に、シリコン製半導体基板の表面を酸化すると、シリコン窒化膜層の除去された部分の半導体表面のみが選択的に酸化され、厚肉の酸化膜層となり、その部分が素子分離領域となる。

【0004】 その後、シリコン窒化膜を除去すれば、半導体装置の製造過程における素子分離プロセスが終了する。素子分離プロセス後には、各半導体素子領域に、半導体素子を形成するためのイオン注入あるいは各種機能薄膜の形成プロセスが開始する。

【0005】

【発明が解決しようとする課題】 従来の半導体装置の製造過程における素子分離プロセスで得られた素子分離領域の要部断面を図5に示す。図示するように、シリコン製半導体基板2の表面に形成してある比較的厚肉のシリコン酸化膜で構成される素子分離領域3の端部は、選択酸化時に用いられるシリコン窒化膜層6の端部下方に潜り込むように広がっている。このようにシリコン窒化膜層6の下方に潜り込むように広がっている素子分離領域の端部形状部分を、バーズピーク5と称する。

【0006】 バーズピーク5が生じるのは、半導体基板の表面を選択的に熟酸化する際に、熟酸化がシリコン窒化膜層6の端部下方にまで進行するためである。このバーズピーク5の領域幅は狭いほど好ましい。バーズピーク5の領域幅が広いと、素子分離領域3の両側に形成される各半導体素子領域の面積を狭め、高集積化の妨げになるためである。また、バーズピーク5の領域幅が大きいと、マスクの設計寸法値と、実際に形成される領域との差(変換差S1)が大きくなり、半導体回路の設計で求めた所望の素子特性が得られないおそれがある。

【0007】 特に、最近の非常に微細なデザインルール、例えば0.5μm以下の設計ルール(ホトリソグラフィで形成される最小線幅、または最小ゲート長などで定義される)においては、従来の方法で形成された素子分離領域では、変換差S1が設計ルール長さに比較して非常に大きく、実用的ではないという問題点を有している。例えば、素子分離領域3の膜厚が3000オングストローム程度である場合には、従来の手法では、バーズピーク5による変換差S1が0.05μm程度になり、0.35μmの設計ルールでは、素子分離領域3の両側で2×0.05μmの変換差が大きく影響し、所望の素子性能が得られないという問題点を有している。

【0008】 本発明は、このような実状に鑑みてなされ、簡便な選択酸化による素子分離手法を継承しつつ、バーズピークが小さく、微細加工に適した変換差の少ない素子分離領域を容易に製造することができる半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本発明の半導体装置の製造方法は、半導体基板の表面に、酸化薄膜層を形成する工程と、この酸化薄膜層の表面に、酸化阻止層を所定のパターンで形成する工程と、この酸化阻止層で覆われていない半導体基板の表面に、他の部分よりも酸化速度が速くなるダメージ層を形成する工程と、上記酸化阻止層で覆われていない半導体基板の表面を熟酸化して上記酸化薄膜層より厚い酸化膜層からなる素子分離領域を形成する工程とを有することを特徴とする。

【0010】

【作用】 選択的な熟酸化によるバーズピークの発生原因是、酸化を進行させるオキシダント、例えば酸素や水の

分子の拡散係数が、半導体基板の表面と酸化膜との界面付近で非常に大きいことがある。本発明では、素子分離領域が形成される半導体基板の表面に、予めダメージ層を形成し、他の部分よりも酸化速度が速くなるようにしてある。その結果、従来に比べてきわめて短い時間で所望膜厚の酸化膜から成る素子分離領域を形成することが可能になり、バーズピークの成長を大幅に抑制することができる。したがって、バーズピークによる設計寸法値に対する変換差をきわめて小さくすることができ、最近の超微細な設計ルールに対応した素子分離領域を形成することができる。

【0011】

【実施例】以下、本発明の一実施例に係る半導体装置の製造方法について、図面を参照しつつ詳細に説明する。図1～4は本発明の一実施例に係る半導体装置の製造過程を示す要部断面図である。

【0012】図1に示すように、本発明の一実施例に係る半導体装置の製造方法では、まず半導体基板2を準備する。半導体基板2としては、特に限定されないが、例えばシリコン製の半導体基板が用いられる。この半導体基板2の表面には、酸化薄膜層4を成膜する。酸化薄膜層4は、例えば、シリコン製半導体基板2の表面を熱酸化して得られるシリコン酸化薄膜層である。この酸化薄膜層4の膜厚は、特に限定されず、例えば半導体素子領域に形成されるゲート絶縁膜を構成するのに十分に薄い膜厚である。

【0013】この酸化薄膜層4の表面には、シリコン窒化膜層などで構成される酸化阻止層6が形成される。酸化阻止層6は、例えばCVD法などで成膜される。次に、図2に示すように、素子分離パターンに合わせた所定のパターンで、レジスト膜8を酸化阻止層6の表面に成膜し、レジスト膜8で覆われていない酸化阻止層6を、RIEなどを用いて選択的に除去する。その際には、半導体基板2の表面に形成してある酸化薄膜層4までは除去しない。

【0014】次に、レジスト膜8で覆われていない半導体基板2の表面に、イオン注入法などの手段で、不純物イオン、好ましくはシリコンないし酸素のイオンを注入し、半導体基板2の表面にダメージ層14を形成する。イオン注入時における注入エネルギー及びドーズ量は、特に限定されないが、厚さ3000オングストローム程度の素子分離領域10を得るために、半導体基板2の表面から1500ないし2000オングストローム程度の深さまで注入されるように決定される。具体的には、シリコンをイオン注入するとして、注入エネルギーは、70keV以下程度であり、ドーズ量は、 $1 \times 10^{15} / \text{cm}^2$ 以上程度が好ましい。

【0015】このようなイオン注入を行うことで、レジスト膜8で覆われていない半導体基板2の表面には、非晶質化されたダメージ層14が形成される。非晶質化さ

れたダメージ層14は、半導体基板2がシリコン単結晶の場合には、この単結晶シリコンから成る半導体基板2に対して、酸化速度が約2倍程度になる。

【0016】次に、図3に示すように、レジスト膜8を除去し、半導体基板2の表面を酸化雰囲気中で熱酸化すると、シリコン窒化膜層から成る酸化阻止層6により覆われていない半導体基板2の表面が選択的に熱酸化され、シリコン酸化膜層からなる素子分離領域10が形成される。このシリコン酸化膜層から成る素子分離領域10の膜厚は、特に限定されないが、約3000オングストローム程度である。このような膜厚の素子分離領域10を得るための熱酸化時間は、本実施例では、この部分に予めダメージ層14が形成してあることから、従来に比較して、理論的には約1/4程度の時間で済む。ダメージ層14の酸化速度は、前述したように、他の部分の半導体基板2に比較して、約2倍程度になるからである。

【0017】したがって、バーズピーク12の成長が抑制され、バーズピーク12による設計値との変換差S2 (図4に図示)を著しく小さくできる。このため、素子分離領域10の両側に位置する半導体基板2の表面に形成される半導体素子領域が狭められることがなくなり、半導体装置の高集積化が可能になる。しかも、本実施例では、基本的には、熱酸化法により素子分離領域を形成するようにしているので、製造工程が複雑でない。しかも、熱酸化の前に、単にイオン注入法などにより、ダメージ層14を形成するだけで、バーズピーク12の低減が図れるので、製造工程の増大も少ない。

【0018】なお、熱酸化後には、図4に示すように、酸化阻止層6が除去され、素子分離プロセスが終了する。素子分離プロセス後には、各半導体素子領域に、半導体素子を形成するためのイオン注入あるいは各種機能薄膜の形成プロセスが開始する。

【0019】本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に変更することができる。例えば、ダメージ層を形成するための手段としては、イオン注入に限らず、例えばドライエッティングなどの手段を用いることが可能である。また、半導体基板2としては、シリコン製半導体基板に限らず、その他の半導体基板を用いることが可能である。さらに、酸化阻止層6としては、シリコン窒化膜層に限定されず、その他の薄膜を用いることが可能である。

【0020】

【発明の効果】以上説明してきたように、本発明によれば、素子分離領域が形成される半導体基板の表面に、予めダメージ層を形成し、他の部分よりも酸化速度が速くなるようにしてある。その結果、簡便な熱酸化手段により、従来に比べてきわめて短い時間で、所望膜厚の酸化膜から成る素子分離領域を形成することが可能になる。

しかも、本発明では、従来の手法と異なり、バーズピー

クの成長を大幅に抑制することが可能になる。したがって、バーズピークによる設計寸法値に対する変換差をきわめて小さくすることができ、最近の超微細な設計ルールに対応した素子分離領域を、簡便な手法によりきわめて容易に形成することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体装置の製造過程を示す要部断面図である。

【図2】本発明の一実施例に係る半導体装置の製造過程を示す要部断面図である。

【図3】本発明の一実施例に係る半導体装置の製造過程を示す要部断面図である。

【図4】本発明の一実施例に係る半導体装置の製造過程を示す要部断面図である。

【図5】従来例に係る半導体装置の製造方法で得られた素子分離領域の要部断面図である。

【符号の説明】

2…半導体基板

4…酸化薄膜層

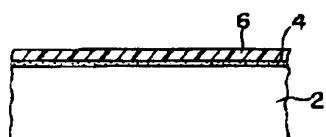
6…酸化阻止層

10…素子分離領域

10 12…バーズピーク

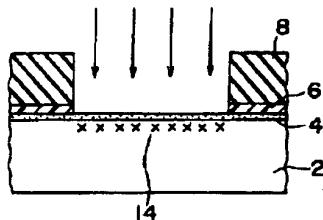
14…ダメージ層

【図1】

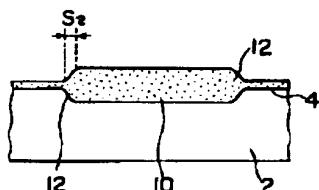
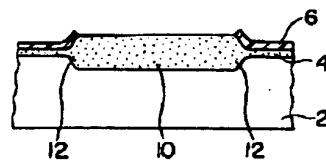


【図4】

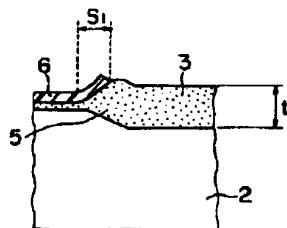
【図2】



【図3】



【図5】





Creation date: 09-17-2003
Indexing Officer: SANDRUS - SHANTEL ANDRUS
Team: OIPEBackFileIndexing
Dossier: 08720693

Legal Date: 04-12-2002

No.	Doccode	Number of pages
1	FOR	6

Total number of pages: 6

Remarks:

Order of re-scan issued on

